

スーパー接合構造を持つ自己バイアスチャネルダイオードのデバイスシミュレーション

メタデータ	言語: Japanese 出版者: 公開日: 2016-05-12 キーワード (Ja): キーワード (En): Tohoku Gakuin University, Channel diode, Self-biased, Super junction, Device simulation 作成者: 對馬, 広隆, 工藤, 嗣友, 菅原, 文彦 メールアドレス: 所属:
URL	https://tohoku-gakuin.repo.nii.ac.jp/records/589

スーパー接合構造を持つ自己バイアスチャネルダイオード のデバイスシミュレーション

Simulation of a Self-Biased Channel Diode with a Super-Junction Structure

対馬 広隆*

工藤 嗣友**

菅原 文彦***

Hirotaka TSUSHIMA

Tsutugotomo KUDOH

Fumihiko SUGAWARA

Abstract: In recent years, a self-biased channel diode with low power loss and thermal stability has been proposed. This diode has a trade-off relationship between the on-state voltage and the breakdown voltage, and thus, this problem needs to be resolved. In this paper, a super-junction structure is employed on a self-biased channel diode, and 2D device simulations are performed. The simulation results confirm that the breakdown voltage can be greatly improved without increasing the on-state voltage. The super-junction structure relaxes the electric field at the corners of the p-body junction, and therefore, the breakdown voltage improves by about two times, i.e., it becomes 140 V from 65 V. Therefore, the super-junction structure helps achieve high breakdown voltage without increasing the on-state voltage of the self-biased channel diode.

Keywords: Power Semiconductor Device, Channel Diode, Self-biased, Super Junction, Device Simulation

1 はじめに

近年、LSI の動作電圧が低下しており、これを駆動する電源に低損失ダイオードの要求が高まっている^[1]。また、携帯機器やスマートフォンなどの移動端末の普及により、これらのバッテリー充電回路にも同様の要求が高まっている。

現状における実用的な低損失ダイオードとして、ショットキーバリアダイオード(以降 SBD)が挙げられる。SBD はオン電圧の低減化のため、仕事関数が小さな電極材料を選択すると、逆方向電流の増加を招き、かつ温度上昇による逆方向電流の増大により電力損失は増加し、熱暴走するという問題がある^[2]。

また、パワー MOSFET を用いた同期整流ダイオードは低損失であるが、同期制御用のゲート信号が必要であり、ゲート回路での損失^[3]が懸念される。

さらにチャネルダイオードと呼ばれる MOSFET 構造のダイオード化を図ったデバイスが提案され

ている。このデバイスではゲート信号は不要であるが、ゲートバイアスの印加が必要なため、3 端子動作となっている^[4]。

上記チャネルダイオードに対し、自己バイアス効果を導入することにより 2 端子動作を可能にする自己バイアスチャネルダイオード (Self-bias Channel Diode 以降 SBCD)を提案されている^[5]。このデバイスにはオン電圧と耐圧の間にトレードオフ関係があり、その改善が求められている。パワー MOSFET においては、オン電圧と耐圧のトレードオフ関係改善のため、スーパー接合構造が提案されて、1998 年に実証されている^[6]。

本論文では SBCD に対し、スーパー接合構造を導入することにより、オン電圧に悪影響を与えることなく、耐圧の向上が図れることをデバイスシミュレーションにより確認したので報告する。

2 デバイス構造と動作原理

図 1 に DMOS 型(a)とスーパー接合構造を採用した SBCD(b)を、図 2 に SBCD の等価回路を示す。SBCD の特徴は、通常の DMOSFET (Double

* 東北学院大学大学院

** 神奈川工科大学

***東北学院大学

Diffused MOSFET)におけるソース領域 n_A とボディ領域 p_b がポリシリコンゲートと短絡して、アノード電極を構成し、もう一方のカソード電極と2端子型になっている点にある。スーパー接合構造の導入は、深いトレンチに p 型のエピタキシャル成長層 ($p_{PI}:p$ ピラー層)を埋め込むことで達成できる [7]。また、シミュレーションに用いるスーパー接合構造は高耐圧化を図るため、ピラー層のボトム部を n_K^+ 領域から若干離している [8]。

図2に示した通り、順方向は通常の DMOSFET のソース領域とドレイン領域が逆となり、カソード電極に対して、アノード電極に正電圧が印加された場合で、アノードと短絡しているゲート電極にも正電圧が印加される。SBCD は熱平衡状態ですでに弱く反転していて、n チャンネルが形成されている。この状態ではわずかなゲート電圧印加により強く反転し、電子が図1の n_K 領域から n_b 領域およびn チャンネルを経由して導通状態となる。このとき、接合 J_2 にも順バイアスが加わり、基板バイアス電圧として働くためにチャネル電流が促進される。

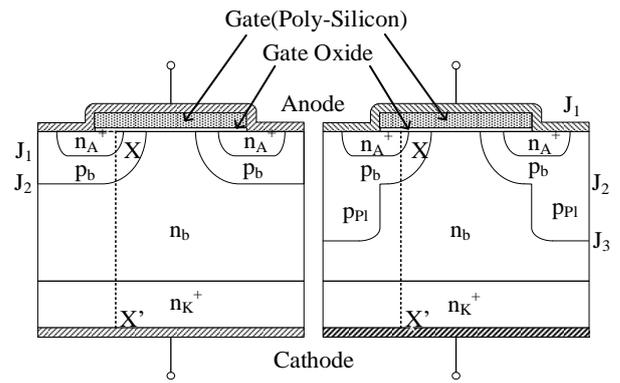
上記と逆の印加電圧では、印加電圧のほとんどは逆バイアス接合 J_2 に加わるため、MOS ゲートには電圧が印加されず、非導通状態となる。この場合、DMOS 型では接合 J_2 のコーナー部に電界集中が生じ、 n_b 領域を厚くしても耐圧は向上しない。しかし、スーパー接合構造の採用により、p ピラー層から横方向に伸びる空乏層により、接合 J_2 のコーナー部の電界集中が緩和され、高耐圧化が期待できる。

3 シミュレーション結果および考察

3.1 シミュレーション方法

本構造のシミュレーションでは、Silvaco 社の汎用デバイスシミュレータである ATLAS [9]を用いている。シミュレーションに用いたデバイス構造のピラー領域 p_{PI} と n ベース領域 n_b は、同じ不純物密度とし、 p_{PI} と n_b を同じ幅の $1.25[\mu m]$ にして、 n_b の厚みを $6.2[\mu m]$ とした。ピラー深さをパラメータとして、 $0[\mu m]$ (DMOS 型)、 $1[\mu m]$ 、 $3.0[\mu m]$ 、 $5.0[\mu m]$ と変化させて、オン電圧と耐圧を調べた。

順方向特性は、順方向電流が $1[A]$ (電流密度 $40[A/cm^2]$) に到達した場合の電圧をオン電圧とし、一方、逆方向特性はリーク電流が $1[A]$ (電流密度 $40[A/cm^2]$) に到達した場合の電圧を耐圧とした。



(a)DMOS 型 (b) スーパー接合構造
図1 DMOS型およびスーパー接合構造SBCD

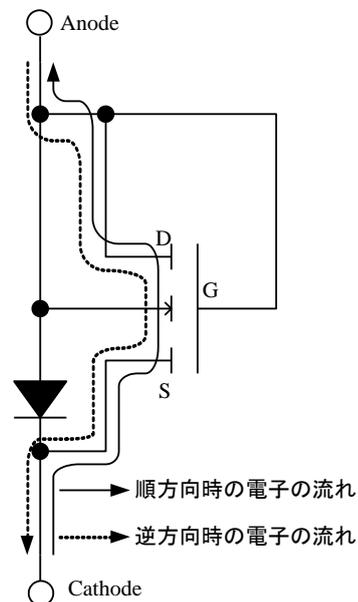


図2 SBCD の等価回路

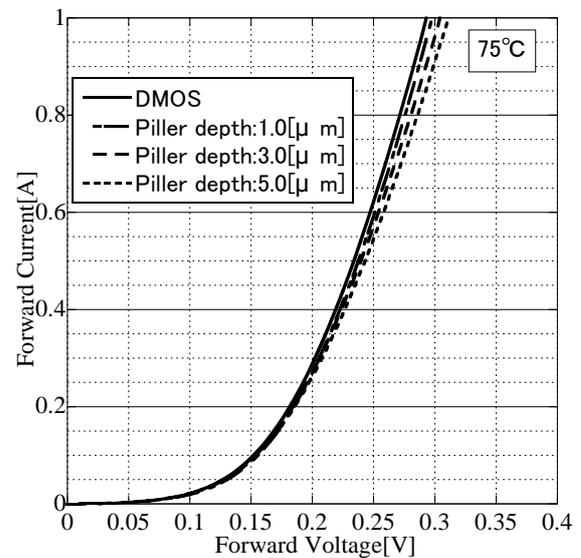


図3 順方向特性

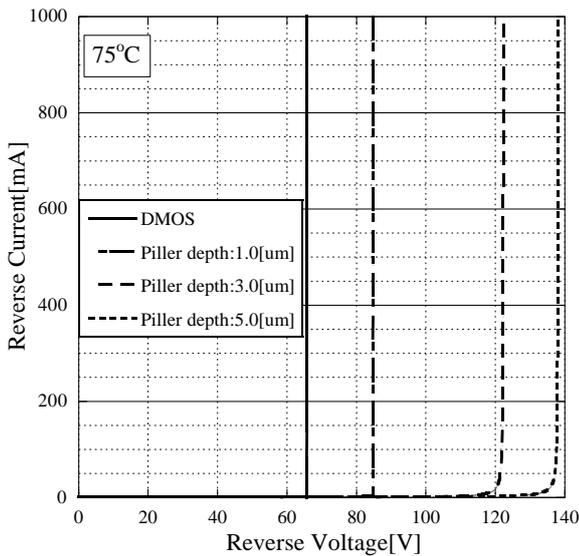


図4 逆方向特性

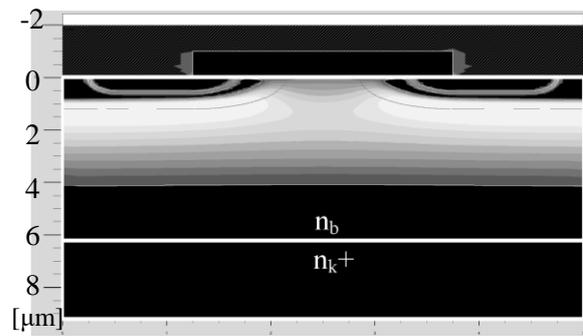
3.2 順方向特性

図3は通常の動作時の温度に相当する75°Cにおける順方向特性を示している。立ち上がり電圧は0.1V付近であり、順方向電流1Aのオン電圧は0.3V程度である。pピラー層が深くなると、カソード側から流れる電子電流の経路が狭まり、抵抗が高くなって、オン電圧が高くなることが予想される。しかし、図3から読み取れるようにその影響は小さく、オン電圧もさほど変わらない。

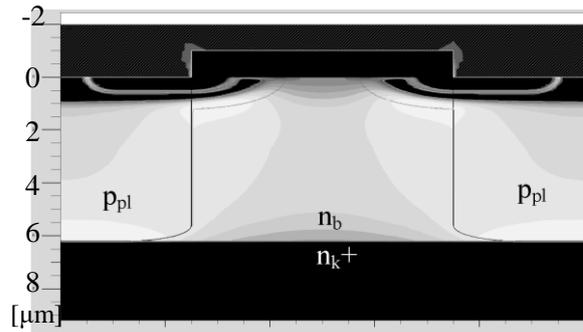
3.3 逆方向特性

図4は75°Cにおける逆方向特性を示している。DMOS型では耐圧が65[V]程度であるが、ピラー層が深くなるほど、耐圧が向上し^[8]、ピラー層の深さが5.0[μm]の時は、140[V]程度まで向上する。また、リーク電流に大きな違いは見られず、ピラー層が深くなることにより、逆リーク電流が増大しないことが分かる。

図5は、75°Cのブレイクダウン時におけるDMOS型(a)とスーパー接合構造(b)の2次元電界分布を示している。DMOS型では、接合 J_2 部のコーナー部に電界の集中がみられ、最大電界強度が雪崩降伏を起こす臨界電界に達しやすく、空乏層が伸びきらないうちにブレイクダウンを起こしている。一方、スーパー接合構造では、ピラー領域 p_{pl} とnベース領域 n_b は同じ不純物密度であるので、空乏層は p_{pl} と n_b 両者に対して横方向に広がる。さらにこれらの領域幅は狭いので、空乏層が繋がり完全に空乏化している。従って、従来のDMOS構造で見られる接合 J_2 のコーナー部での



(a) DMOS型



(b)スーパー接合構造(ピラー深さ:5.0[μm])

図5 2次元電界分布

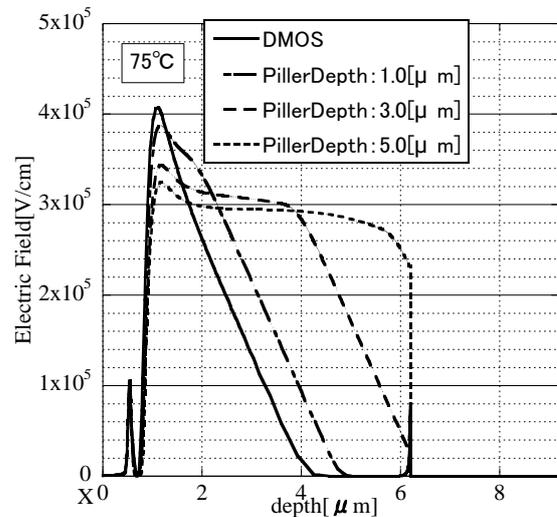


図6 X-X'間での電界分布

電界集中が緩和され、かつ深さ方向に電界分布が広がって、耐圧が向上する。

図6は、75°Cのブレイクダウン時の図1におけるX-X'間の電界分布を示している。ピラー層が深くなるほど、 J_2 接合のコーナー部の最大電界強度が緩和され低減されている。また、深さ方向の電界分布は直線分布から比較的電界が高い台形分布となるので、電界の積分値は大きくなり、高耐圧化

が実現できると考えられる。

4 まとめ

本報告では、提案しているスーパー接合構造 SBCD の構造や動作原理、シミュレーション結果について述べた。従来の DMOS 型 SBCD と順方向特性並びに逆方向特性を比較した結果、順方向特性においては、オン電圧のわずかな増加は見られるものの、スーパー接合構造は DMOS 型と遜色のない低オン電圧特性を示している。また、逆方向特性においては、スーパー接合構造のピラー層が深くなるにしたがって耐圧が向上し、DMOS 型に比べ2倍以上の耐圧を示した。このことから、SBCD のオン電圧に悪影響を与えることなく、高耐圧化が実現可能であることを示している。

参考文献

- [1] B. J Baliga: Power Semiconductor Devices, pp.192-193, PWS Publishing, Boston (1996)
- [2] B. J. Baliga: Fundamentals of Power Semiconductor Devices, pp.167-185, Springer, New York (2008)
- [3] Y. Fukumochi, I. Suga, and T.Ono: “Synchronous Rectifiers Using New Structure MOSFET”, Proc. ISPSD, pp.252-255 (1995)
- [4] H. P. Yee, P. O. Lauritzen and S. S. Yee: “Channel diode, a New Fast Switching Power Diode”, Proc. ISPSD, pp.72-79 (1992)
- [5] 菅原文彦, 吉田竜也, 星秀明, 山口日出男, 大沼孝一:「自己バイアスチャネルダイオードの電气的特性」, 電学論 D, Vol.130, No.7, pp.831-837 (2010)
- [6] G. Deboy, M. Marz, J.-P. Stengl, H. Strack, J. Tihanyi and H.Weber:”A new generation of high voltage MOSFET’s breaks the limit line of silicon.” Tech Digest IEDM98, pp.683-685 (1998)
- [7] S.Iwamoto, K.Takahashi, H.Kuribayashi, S.Wakimoto, K.Mochizuki and H.Nakazawa: “Above 500V class Superjunction MOSFETs fabricated by deep trench etching and epitaxial growth”, Proc. ISPSD, pp.1-4 (2005)

[8] W. Saito, I. Omura, S. Aida, S. Koduki, M.Izumisawa, H. Yoshioka and T. Ogura:”Over 1000V Semi-Superjunction MOSFET with Ultra-Low On-resistance blow the Si-Limit”, Proc. ISPSD, pp.1-4 (2005)

[9]”Atlas User’s Manual DEVICE SIMULATION SOFTWARE”, Silvaco, Inc., (2015)